

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-074145

(43)Date of publication of application : 17.03.1998

(51)Int.CI.

G06F 9/38
G06F 9/38

(21)Application number : 08-230529

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.08.1996

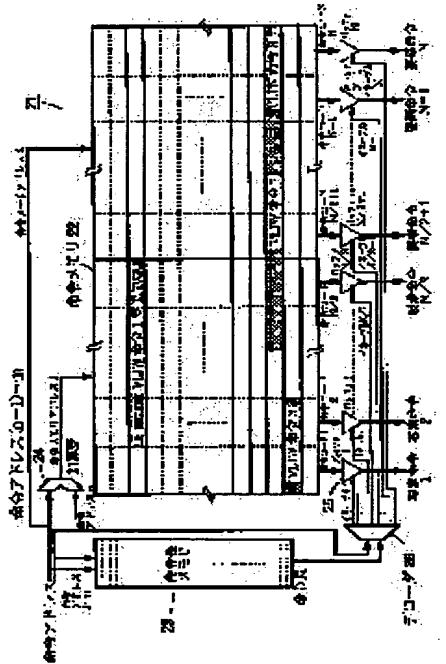
(72)Inventor : KAWAI ATSUSHI

(54) INSTRUCTION SUPPLYING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an instruction supplying device capable of reducing the capacity of a program and that of an instruction memory.

SOLUTION: In this device, an instruction memory part 21 is provided with an instruction memory 22, an instruction length memory 23, an adder 24, a buffer 25, and a decoder 26 and constituted so as to simultaneously read out the contents of the memory 22 for fully storing a variable length VLIW instruction constituted of only one or plural element instructions to be executed in parallel up the maximum number of instruction execution parts as one word or two continuous words and the contents of the memory 23 for storing the number of element instructions constituting each variable length VLIW instruction by using an instruction address of each applied element instruction. Then only parallel execution enabled element instructions specified by the number of element instructions read out of the memory 23 out of plural element instructions equal to the number of instruction execution parts applied to one or two words read out of the memory 22, i.e., only a VLIW instruction to be read out, is selected and supplied to one or plural corresponding instruction execution parts.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74145

(43) 公開日 平成10年(1998)3月17日

(51) Int.Cl.⁶
G 06 F 9/38

識別記号 庁内整理番号
310
370

F I
G 0 6 F 9/38

技術表示箇所

審査請求 未請求 請求項の数 6 OL (全 9 頁)

(21)出願番号 特願平8-230529

(22) 出願日 平成8年(1996)8月30日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 河井 淳

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

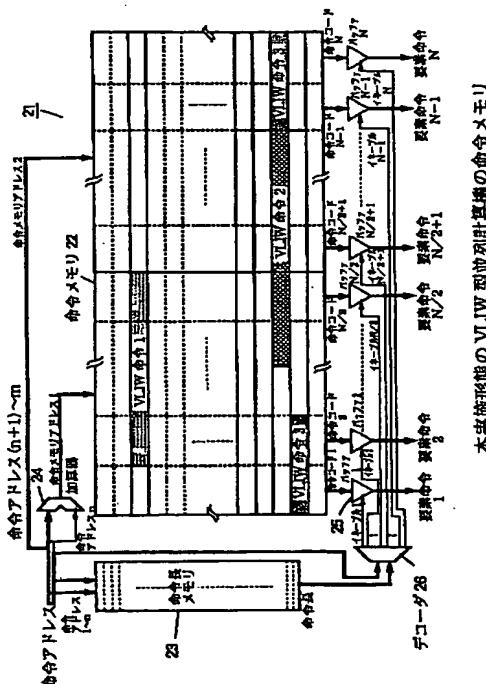
(74) 代理人 弁理士 前田 寒

(54) 【発明の名称】 命令供給装置

(57) 【要約】

【課題】 プログラム容量、及び命令メモリ容量を削減することが命令供給装置を提供する。

【解決手段】 命令供給装置は、命令メモリ部21が、命令メモリ22、命令長メモリ23、加算器24、バッファ25及びデコーダ26を備え、1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のVLIW命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する命令メモリ22、及び各可変長のVLIW命令を構成する要素命令の数を格納する命令長メモリ23に対して、与えられた要素命令を単位とする命令アドレスにより、命令メモリ22、及び命令長メモリ23とを同時に読み出し、命令メモリ22より読み出した1語あるいは2語にまたがる命令実行部数に等しい数の要素命令のうち、命令長メモリ23より読み出した要素命令数で指定される並列実行可能な要素命令、すなわち、読み出し対象とするVLIW命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部12に供給する。



【特許請求の範囲】

【請求項1】 命令メモリ部、複数の命令実行部及びレジスタファイルを備えた並列計算機に命令を供給する命令供給装置であって、
前記命令メモリ部は、命令メモリ、及び命令長メモリを備え、

1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のVLIW命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する前記命令メモリに対して、与えられた要素命令を単位とする命令アドレスにより、前記命令メモリ、及び前記命令長メモリとを同時に読み出し、

前記命令メモリより読み出した命令実行部数に等しい数の要素命令のうち、前記命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部に供給するように構成したことを特徴とする命令供給装置。

【請求項2】 命令メモリ部、複数の命令実行部及びレジスタファイルを備えた並列計算機に命令を供給する命令供給装置であって、

前記命令メモリ部は、命令メモリ、及び命令長メモリを備え、

1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のVLIW命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する前記命令メモリ、及び各可変長のVLIW命令を構成する要素命令の数を格納する前記命令長メモリに対して、与えられた要素命令を単位とする命令アドレスにより、前記命令メモリ、及び前記命令長メモリとを同時に読み出し、

前記命令メモリより読み出した1語あるいは2語にまたがる命令実行部数に等しい数の要素命令のうち、前記命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部に供給するように構成したことを特徴とする命令供給装置。

【請求項3】 前記命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令は、読み出し対象とするVLIW命令であることを特徴とする請求項1又は2の何れかに記載の命令供給装置。

【請求項4】 上記請求項1又は2の何れかに記載の命令供給装置において、

NOP命令(Non Operation命令)を挿入することなく、処理を伴う要素命令のみで構成されるVLIW命令列を、連続して前記命令メモリに格納することを特徴とする命令供給装置。

【請求項5】 前記並列計算機は、同時に複数の命令実行部において、それぞれ独立した処理を行う並列計算機

であることを特徴とする請求項1又は2の何れかに記載の記載の命令供給装置。

【請求項6】 前記並列計算機は、VLIW(Very Long Instruction Word: 超長形式機械命令)型並列計算機であることを特徴とする請求項1又は2の何れかに記載の記載の命令供給装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、並列計算機における命令供給装置に係り、詳細には、VLIW型並列計算機(Very Long Instruction Word: 超長形式機械命令型並列計算機)における命令供給装置に関する。

【0002】

【従来の技術】 1クロック・サイクル当たり複数の命令を発行する方法がある。この方法により、命令実行速度がクロック速度を超えることが可能になる。

【0003】 VLIW型並列計算機(Very Long Instruction Word: 超長形式機械命令型並列計算機)は、真に同時発行可能な命令をまとめて1つの超長形式機械命令とするところまでコンパイラが責任を持って行うので、ハードウェアは命令の同時実行可能性に関して何も迷う必要はない。

【0004】 例えば、この種の並列計算機として「ヘネシー&パターソン コンピュータ・アーキテクチャー 設計・実現・評価の定量的アプローチ」(日経BP社、1992、pp312~323)に記載されたものがある。

【0005】 図3は従来のVLIW型並列計算機の構成を示す図であり、この図において、VLIW型並列計算機は、命令メモリ部11、実行部12(実行部1~N)、及びレジスタファイル13から構成される。

【0006】 上記命令メモリ部11は、実行部1~Nに対して毎命令実行サイクルにそれぞれVLIW命令を構成する各要素命令(以下、単に要素命令という)を供給する。このため、命令メモリ部から一度に読み出される命令長は、各実行部に与える要素命令長×Nとなる。それぞれの実行部に与える要素命令長は、通常の一般的な計算機と同様に32ビット程度である。

【0007】 したがって、命令メモリ部から読み出される命令長は、 $32 \times N$ ビットとなり、非常に長くなる。これが、VLIW型並列計算機と呼ばれる理由である。各実行部は、命令実行サイクル毎に、命令メモリ部から供給される要素命令を実行する。

【0008】 一方、オペランドデータは、レジスタファイル13から入力(又はレジスタファイル13に出力)される。全ての実行部が、レジスタファイル13内の任意のレジスタを必ず参照(又はレジスタに必ず書き込み)できるためには、各実行部が2つの入力オペランドに対して演算を行い、1つの出力オペランドをレジスタに書き込むことを考えると、 $2 \times N$ 出力、N入力の多ボ

一トレジスタファイルが必要となる。

【0009】命令メモリ部11は、VL1W命令長（要素命令×N）のデータ幅をもつ。それぞれのVL1W命令は、必ずN個の要素命令で構成される。プログラムをコンパイルした結果、並列実行可能な要素命令数がN個に満たない場合には、全ての実行部において、要素命令を実行することはできない。この場合には、要素命令を実行しない実行部に対して、何ら処理を行わないための、NOP命令（Non Operation命令）を、要素命令として同一VL1W命令に埋め込み、命令メモリ部の同一語に格納しておく。したがって、並列実行できる要素命令数が少ないプログラムに対しては、NOP命令の数は多くなる。

【0010】図4は要素命令のフォーマットを示す図である。

【0011】図4に示すように、一般的なVL1W型並列計算機における要素命令としては、基本的にデータ処理を行うための演算命令、及び、処理の流れの制御を行うための分岐命令とがある。演算命令は、ソースオペランド1で指定されるレジスタの値、及び、ソースオペランド2で指定されるレジスタの値を、それぞれレジスタファイルから読み出し、これらを実行部において演算し、結果データをデスティネーションオペランドで指定されるレジスタに格納するものである。また、分岐命令は、分岐指定で示される分岐条件を評価し、これが満たされる場合には、分岐アドレスに分岐を行い、分岐条件が満足されない場合には、分岐命令の次の命令を逐次的に実行するものである。VL1W型並列計算機では、演算命令は1つ、又は、複数同時に実行されるが、分岐命令は1つのみが、同時に実行される。このため、分岐命令を要素命令として含むVL1W命令は、1つの分岐命令とN-1個のNOP命令で構成される。

【0012】図5は従来のVL1W型並列計算機の命令メモリ部11の構成を示す図である。

【0013】図5において、命令メモリ部11は、要素命令×Nの読み出しデータ幅をもち、与えられる命令アドレスで、該当するVL1W命令を読み出し、これを各実行部に供給する。VL1W命令は、必ず、要素命令×Nの長さでなければならないため、並列実行できる要素命令数がNに満たない場合には、予め、必要数のNOPを命令メモリ部11に格納しておく必要がある。この図5では、VL1W命令1、VL1W命令2、及びVL1W命令3共にハッキング部分で示される部分のNOP命令を含む。

【0014】図6は従来のVL1W型並列計算機の命令アドレス生成部を示す図である。

【0015】図6において、上記命令メモリ部11に命令アドレスを供給する命令アドレス生成部14は、定数1を加算する加算器15、加算器15出力と分岐アドレスを選択するセレクタ16、及びセレクタ16出力に從

って命令アドレスを出力する命令アドレスレジスタ17から構成される。

【0016】命令アドレスは、VL1W命令を計数単位とする。演算命令のみのVL1W命令実行の場合には、次の命令アドレスはそのVL1W命令の次、すなわち、1だけ大きな値となり、また、分岐命令を含むVL1W命令実行の場合には、分岐条件が満たされ、分岐指定がアサート（論理“1”となる）された場合には、分岐アドレスが次の命令アドレスとなり、分岐条件が満たされない場合には、その命令アドレスより1だけ大きな値が、次の命令アドレスとして出力される。

【0017】

【発明が解決しようとする課題】このような従来のVL1W型並列計算機では、毎命令実行サイクルにそれぞれの実行部に対して、別々の命令を与える必要があるため、VL1W命令長（要素命令×N）のデータ幅をもつ。それぞれのVL1W命令は、必ずN個の要素命令で構成される。プログラムをコンパイルした結果、並列実行可能な要素命令数がN個に満たない場合には、全ての実行部において、要素命令を実行することはできない。この場合には、要素命令を実行しない実行部に対して、何ら処理を行わないための、NOP命令（Non Operation命令）を、要素命令として同一VL1W命令に埋め込み、命令メモリ部の同一語に格納しておく。したがって、並列実行できる要素命令数が少ないプログラムに対しては、NOP命令の数は多くなる。

【0018】このため、一般的なプログラムにおいては、VL1W型並列計算機でこれを実行する場合には、NOP命令比率が相当程度高く、プログラム容量が膨大となってしまうことが、問題となっている。

【0019】本発明は、プログラム容量、及び命令メモリ容量を削減することが命令供給装置を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明に係る命令供給装置は、命令メモリ部、複数の命令実行部及びレジスタファイルを備えた並列計算機に命令を供給する命令供給装置であって、命令メモリ部は、命令メモリ、及び命令長メモリを備え、1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のVL1W命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する命令メモリに対して、与えられた要素命令を単位とする命令アドレスにより、命令メモリ、及び命令長メモリとを同時に読み出し、命令メモリより読み出した命令実行部数に等しい数の要素命令のうち、命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部に供給するよう構成する。

【0021】また、本発明に係る命令供給装置は、命令

メモリ部、複数の命令実行部及びレジスタファイルを備えた並列計算機に命令を供給する命令供給装置であつて、命令メモリ部は、命令メモリ、及び命令長メモリを備え、1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のVLIW命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する命令メモリ、及び各可変長のVLIW命令を構成する要素命令の数を格納する命令長メモリに対して、与えられた要素命令を単位とする命令アドレスにより、命令メモリ、及び命令長メモリとを同時に読み出し、命令メモリより読み出した1語あるいは2語にまたがる命令実行部数に等しい数の要素命令のうち、命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部に供給するように構成する。

【0022】上記命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令は、読み出し対象とするVLIW命令であるこつてもよい。

【0023】上記命令供給装置は、NOP命令(Non Operation命令)を挿入することなく、処理を伴う要素命令のみで構成されるVLIW命令列を、連続して命令メモリに格納するようにしてよい。

【0024】上記並列計算機は、同時に複数の命令実行部において、それぞれ独立した処理を行う並列計算機であつてもよく、上記並列計算機は、VLIW(Very Long Instruction Word:超長形式機械命令)型並列計算機であつてもよい。

【0025】

【発明の実施の形態】本発明に係る命令供給装置は、並列計算機における命令供給装置に適用することができる。

【0026】本実施形態のVLIW型並列計算機は、命令メモリ部、及び命令アドレス生成部が、従来例によるVLIW型並列計算機と異なる。また、命令アドレスは、従来例によるVLIW型並列計算機では、VLIW命令を単位として与えらるのに対し、本実施形態のVLIW型並列計算機では、要素命令を単位として与えられる点が異なる。

【0027】図1は本発明の実施形態に係る命令供給装置を備えるVLIW型並列計算機の命令メモリ部を示す図である。

【0028】図1において、VLIW型並列計算機の命令メモリ部21は、VLIW命令を格納する命令メモリ22、各VLIW命令の長さ、すなわち、要素命令数を示す命令長メモリ23と、命令メモリアドレスを計算するための加算器24と、命令メモリ22から読み出した命令コード1～Nを、要素命令1～Nとして供給するためのバッファ25(バッファ1～N)と、バッファ1～Nのそれぞれの駆動許可を与える、イネーブル1～Nを

生成するためのデコーダ26とから構成される。

【0029】図2は上記VLIW型並列計算機の命令アドレス生成部の構成を示す図である。

【0030】図2において、命令アドレス生成部31は、次の命令アドレスを計算するための加算器32と、逐次の命令アドレス、及び分岐アドレスとから次命令アドレスを選択するためのセレクタ33と、次命令アドレスを保持するための命令アドレスレジスタ34とから構成される。

【0031】以下、上述のように構成された命令供給装置を備えた並列計算機の動作を説明する。

【0032】図2に示すVLIW型並列計算機の命令アドレス生成部31において、クロックサイクル毎に次命令アドレスが更新され、次に読み出すべきVLIW命令のアドレスが命令メモリ部21に与えられる。命令アドレスは、命令アドレス1～mのmビットの信号で構成され、このうち、命令アドレス1～nが、命令メモリ22内の要素命令の先頭位置を示し、命令アドレスn+1～mが、命令メモリ22のワードアドレスとなる。つまり、命令アドレスn+1～mは、次に読み出すべきVLIW命令を格納している、命令メモリ22内のワードを指定し、また、命令アドレス1～nは、読み出すワード内のVLIW命令の先頭位置を示す信号である。

【0033】実行部の数がNで、VLIW命令の最大長が、要素命令×Nの場合には、

$$N = 2^n$$

である。

【0034】また、命令アドレス生成部31において、加算器32は、入力される命令長、すなわち、直前の命令アドレスに格納されるVLIW命令の要素命令数を、直前の命令アドレス1～mとを加算して、逐次的な次命令アドレスを生成する。

【0035】セレクタ33では、この逐次的な次命令アドレスと、入力される分岐アドレスとを、入力される分岐指示信号の値により選択して、正しい次命令アドレスを出力する。分岐指示信号が1の場合には、分岐先アドレスを選択し、また、分岐指示信号が0の場合には、逐次的な次命令アドレスを選択することになる。

【0036】命令アドレスレジスタ34では、クロックサイクル毎に、セレクタ33から与えられる次命令アドレスを更新し、1クロックサイクルの間、その値を保持する。

【0037】一方、図1に示すVLIW型並列計算機の命令メモリ部21において、命令メモリ22は、要素命令×N(N=2^n)の読み出しデータ幅をもち、2(m-n)語の容量をもつ。更に、命令メモリ22は命令コード1～N/2を格納するバンク(以下、バンク1という)と、命令コードN/2+1～Nを格納するバンク(以下、バンク2という)の2つで構成され、それぞれ、命令メモリアドレス1、及び、命令メモリアドレス2に対

して、独立に読み出しを行うことが可能である。

【0038】命令メモリ22には、可変長のVL1W命令、すなわち、1つからN個までの任意の要素命令で構成される、VL1W命令が余す所なく格納されている。つまり、同一語内であっても複数のVL1W命令を格納する部分もあれば、1つのVL1W命令が連続する2語にまたがって格納されている部分も有り得る。

【0039】図1において、VL1W命令1は、バンク1内に格納され、VL1W命令2は、バンク1とバンク2にまたがって格納され、また、VL1W命令3はバンク1とバンク2にまたがって格納され、更に、このときのバンク1はバンク2の次の語に位置する。

【0040】このような格納形態を許容することにより、可変長のVL1W命令を連続して格納することが可能になる。

【0041】また、命令長メモリ23は、命令アドレスで指定される命令メモリ22上の位置に格納されている、VL1W命令を構成する要素命令数を格納するもので、2^m語×nビットの容量をもつ。このような構成の命令メモリ22、及び命令長メモリ23に対して、図2の命令アドレス生成部31から命令アドレスが与えられる。命令長メモリ23では、この命令アドレスで指定されるVL1W命令の要素命令数を読み出し、命令長として出力する。

【0042】一方、命令メモリ22に対しては、上記命令アドレスのうち、命令メモリ22の語アドレスである命令アドレスn+1～mを基に、バンク1に対する命令メモリアドレス1、及びバンク2に対する命令メモリアドレス2を生成する。VL1W命令の先頭要素命令がバンク1に格納されている場合には、命令メモリアドレス1と命令メモリアドレス2は、同一アドレスで、命令アドレス制御部から入力される命令アドレスn+1～mそのものである。

【0043】バンク1、及びバンク2を同時に読み出し、この中から該当VL1W命令を構成する要素命令を抽出する。VL1W命令の先頭要素命令がバンク2に格納されている場合には、バンク2には与えられた命令アドレスn+1～mそのものを供給し、また、バンク1にはその次の語アドレスである（命令アドレスn+1～m）+1を供給する。

【0044】これにより、バンク2と、その次の語のバンク1とを同時に読み出し、これらの中から該当VL1W命令を構成する要素命令を抽出する。

【0045】また、図1の加算器24は、命令メモリアドレス1を生成するもので、命令アドレスnの値が1、すなわち、該当VL1W命令の先頭要素命令がバンク2に格納されている場合に、命令アドレスn+1～mに1を加え、命令メモリアドレス1とする。

【0046】デコーダ26では、与えられる命令アドレス1～n、すなわち、命令メモリ22内の該当VL1W

命令の先頭要素命令位置と、命令長メモリ23から読み出した該当VL1W命令の要素命令数とから、イネーブル1～Nを生成する。バッファ1～Nのうち、イネーブル1～Nのうち1である信号を入力するバッファのみが、命令メモリ22から読み出した命令コード1～Nを出力する。一方、イネーブル1～Nのうち1でない信号を入力するバッファは、駆動を行わない。

【0047】バッファ25により駆動がされない場合には、出力である要素命令はNOPを示す値となるべく回路が構成される。これは、例えば、全てのバッファの出力信号に、プルダウン素子を接続し、バッファが駆動されない場合には、全て0となるような回路を構成する。一方、この例ではNOPを示す命令コードは全て0であるという設定をすることにより、実現することが可能である。

【0048】結果として、該当VL1W命令の要素命令を、該当箇所から読み出すと共に、要素命令の格納されていない部分に対しては、NOPを生成し、これらを合わせて、N個の要素命令（要素命令1～N）として、実行部に供給することで、毎クロックサイクルにN個の要素命令を、N個の実行部にそれぞれ与えることができる。

【0049】以上説明したように、本実施形態に係る命令供給装置は、命令メモリ部21、複数の命令実行部12及びレジスタファイル13を備えた並列計算機に命令を供給する命令供給装置であって、命令メモリ部21は、命令メモリ22、命令長メモリ23、加算器24、バッファ25（バッファ1～N）及びデコーダ26を備え、1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のVL1W命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する命令メモリ22、及び各可変長のVL1W命令を構成する要素命令の数を格納する命令長メモリ23に対して、与えられた要素命令を単位とする命令アドレスにより、命令メモリ22、及び命令長メモリ23とを同時に読み出し、命令メモリ22より読み出した1語あるいは2語にまたがる命令実行部数に等しい数の要素命令のうち、命令長メモリ23より読み出した要素命令数で指定される並列実行可能な要素命令、すなわち、読み出し対象とするVL1W命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部12に供給するようとしているので、NOP命令を挿入することなく、処理を伴う要素命令のみで構成されるVL1W命令列を、連続して命令メモリ22に格納することにより、プログラム容量、及び、命令メモリ容量を削減することができる。

【0050】すなわち、従来例によるVL1W型並列計算機では、要素命令数を命令実行部数と同一とし、固定長としていた。全ての実行部において並列に命令実行がなされる場合には、そのVL1W命令に含まれる要素命

令は全て意味のある処理を行うことができる。しかし、並列実行できる要素命令数が、実行部数に満たない場合には、N O P命令を要素命令として、V L I W命令内に埋め込む必要があった。このN O P命令は意味のない処理であり本来不要な命令コードである。このことがV L I W型並列計算機におけるプログラムサイズを肥大化させる問題となっている。例えば、分岐処理は同時に1つのみが実行可能であるため、実行部数がN個のV L I W型並列計算機においては、分岐処理を行うV L I W命令は、(N-1)/Nが冗長となってしまう。

【0051】これに対して、本実施形態に係る命令供給装置を備えるV L I W型並列計算機では、V L I W命令を格納する命令メモリ部21と、各V L I W命令の要素命令数を格納する命令長メモリ23を設置することで、N O P命令を含まない可変長のV L I W命令を、余すところなく連続して命令メモリ22に格納することができるため、プログラムサイズを縮小し、命令メモリ容量を削減する効果がある。

【0052】例えば、N個の実行部をそなえるV L I W型並列計算機において、M個のV L I W命令で構成されるプログラムを実行する場合では、平均並列実行要素命令数Pとしたとき、

従来例によるV L I W型並列計算機の場合：

命令メモリ容量=M×N【要素命令長】

本実施形態によるV L I W型並列計算機の場合：

命令メモリ容量=M×P【要素命令長】、及び、

命令長メモリ容量=M×N×log₂N【ビット】

となる。ここで、M=10, 000、N=8、要素命令長=32ビット、P/N=0.5程度の典型的な例では、

従来例によるV L I W型並列計算機の場合：

10, 000×8×32=25.6メガビット

本実施形態によるV L I W型並列計算機の場合：

10, 000×4×32+10, 000×8×3=1

5.2メガビット

となり、約40%のプログラムサイズ、及び、命令メモリの削減となる。

【0053】また、本実施形態に係る命令供給装置は、1つ、又は、複数の要素命令を同時に並列実行するV L I W型並列計算機において、複数個の命令実行部に前置され、並列実行可能な数のみの要素命令で構成される、1つ、又は、複数の要素命令で構成される可変長のV L I W命令を供給する装置であって、従来例によるV L I W型並列計算機における命令供給装置に、置換して設置することができる、これにより、プログラムサイズ、及び、必要な命令メモリ容量の削減が可能となる。

【0054】なお、上記実施形態では、V L I W型並列

計算機への適応例を示したが、命令長が特に制限を与えるものでもなくかつ、同時に複数の命令実行部において、それぞれ独立した処理を行う並列計算機であれば適応可能である。また、上記命令供給装置が計算機等に組み込まれる回路の一部であってもよいことは言うまでもない。

【0055】また、上記各制御部等を構成するバッファ、レジスタ、デコーダ等の数、種類接続状態などは上記実施形態に限られないことは言うまでもない。

【0056】

【発明の効果】本発明に係る命令供給装置では、命令メモリ部、複数の命令実行部及びレジスタファイルを備えた並列計算機に命令を供給する命令供給装置であって、命令メモリ部は、命令メモリ、及び命令長メモリを備え、1つ、又は、最大命令実行部数までの複数個の並列実行可能な要素命令のみで構成される可変長のV L I W命令を、1つの語、あるいは、連続する2つの語にまたがり、余す所なく格納する命令メモリ、及び各可変長のV L I W命令を構成する要素命令の数を格納する命令長メモリに対して、与えられた要素命令を単位とする命令アドレスにより、命令メモリ、及び命令長メモリと同時に読み出し、命令メモリより読み出した1語あるいは2語にまたがる命令実行部数に等しい数の要素命令のうち、命令長メモリより読み出した要素命令数で指定される並列実行可能な要素命令のみを選択し、これらを対応する1つ、又は、複数個の命令実行部に供給するよう構成したので、プログラム容量、及び命令メモリ容量を削減することができる。

【図面の簡単な説明】

【図1】本発明を適用した実施形態に係る命令供給装置の命令メモリ部の構成を示す図である。

【図2】上記命令供給装置の命令アドレス生成部の構成を示す図である。

【図3】従来の命令供給装置を備えるV L I W型並列計算機の全体構成を示す図である。

【図4】従来の命令供給装置の要素命令のフォーマットを示す図である。

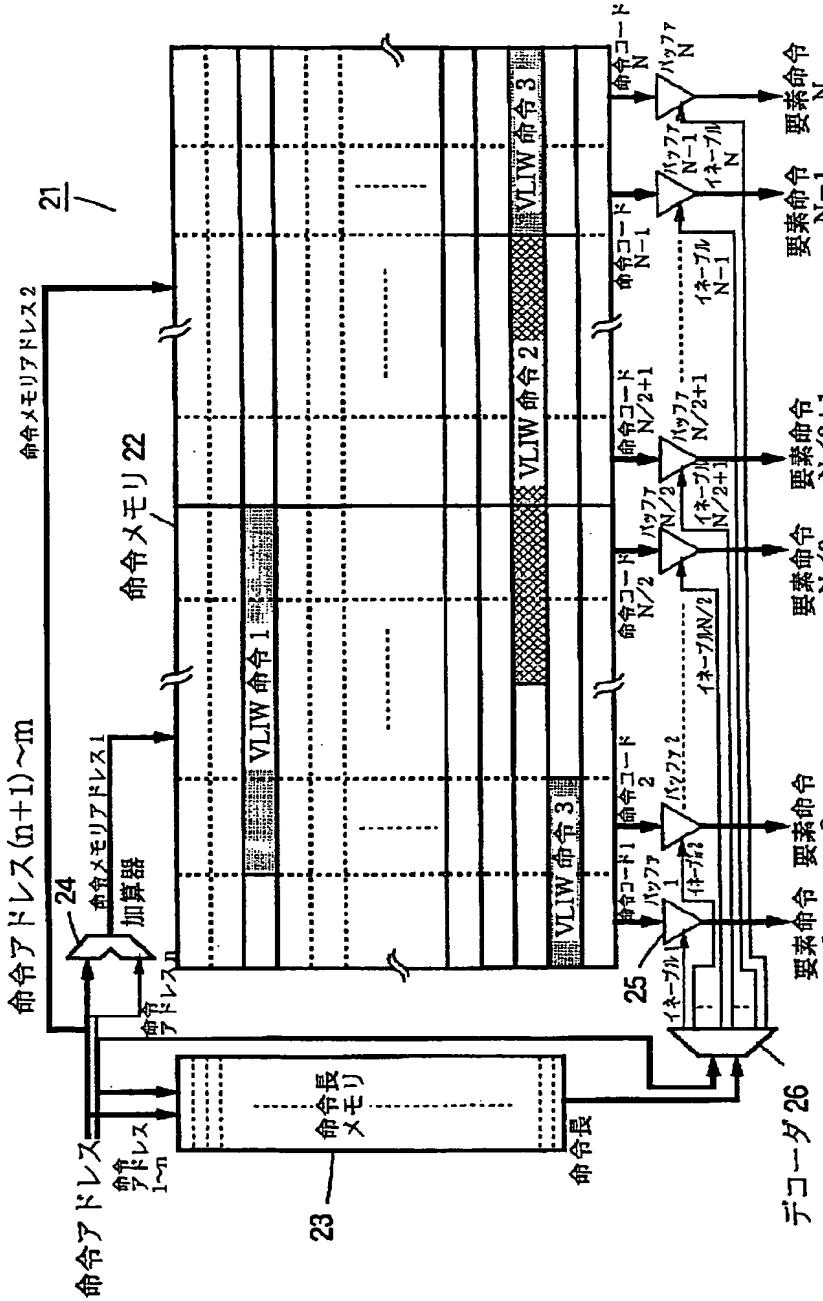
【図5】従来の命令供給装置の命令メモリ部の構成を示す図である。

【図6】従来の命令供給装置の命令アドレス生成部の構成を示す図である。

【符号の説明】

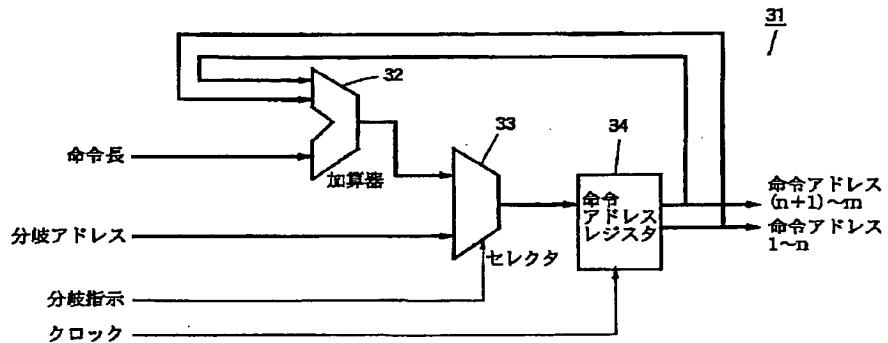
21 命令メモリ部、22 命令メモリ、23 命令長メモリ、24, 32加算器、25 バッファ(バッファ1~N)、26 デコーダ、31 命令アドレス生成部、33 セレクタ、34 命令アドレスレジスタ

【図1】



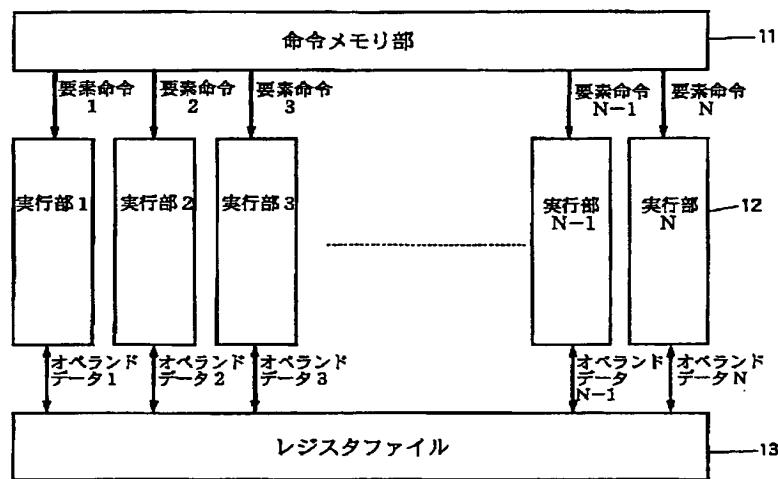
本実施形態のVLIW型並列計算機の命令メモリ

【図2】



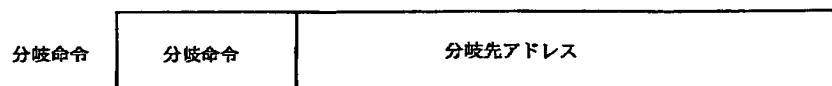
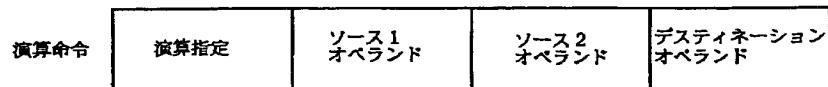
本実施形態の VLIW 型並列計算機の命令アドレス生成部

【図3】



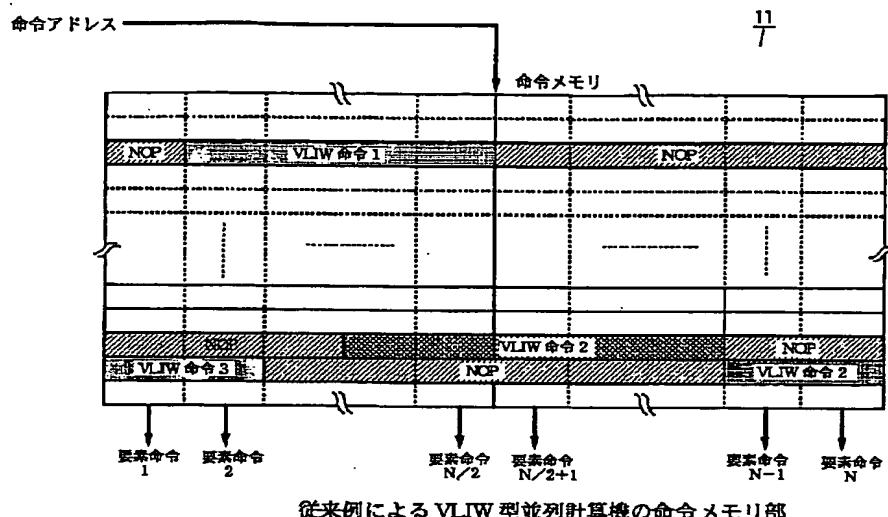
VLIW 型並列計算機の構成

【図4】



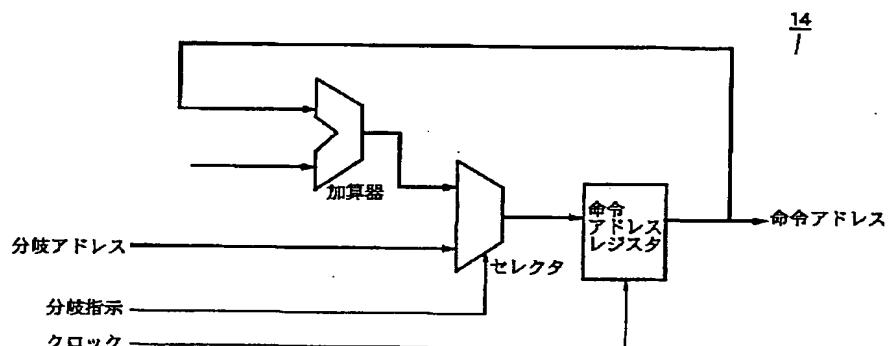
命令フォーマット

【図5】



従来例による VLIW 型並列計算機の命令メモリ部

【図6】



従来例による VLIW 型並列計算機の命令アドレス生成部

THIS PAGE BLANK (USPTO)